

## PATENT ABSTRACTS OF JAPAN

(11) Publication number : 05-152433  
(43) Date of publication of application : 18. 06. 1993

---

(51) Int. Cl. H01L 21/78

---

(21) Application number : 03-312257 (71) Applicant : MITSUBISHI ELECTRIC CORP  
(22) Date of filing : 27. 11. 1991 (72) Inventor : IWASAKI MASANOBU  
TSUKAMOTO KATSUHIRO

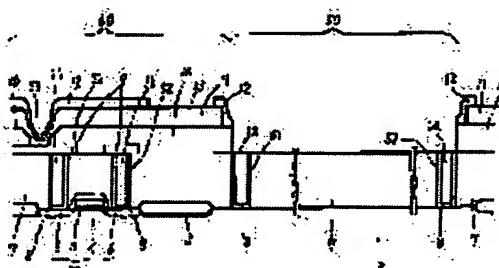
---

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

## (57) Abstract:

PURPOSE: To provide a semiconductor device which can prevent short circuits between layers or the like and its reliability is high even after an etching-back tungsten plug process and to provide its manufacturing method.

CONSTITUTION: A MOS transistor 30 which is composed of a gate electrode 4, a gate oxide film 5 and an impurity diffusion region 6 is formed on the surface of a semiconductor substrate 2 inside an element formation region 60. An insulating layer 7 is formed on the surface of the semiconductor substrate 2. The insulating layer 7 is provided with an opening 52 at the upper part of the impurity diffusion region 6. A tungsten plug 1b is formed in the opening 52 on the insulating layer 7. In a dicing line part 50, the insulating layer 7 is provided with a groove part 51. This groove part 51 is formed to surround the element formation region 60. A tungsten street 1a is formed in the groove part 51.



---

LEGAL STATUS

[Date of request for examination] 25. 01. 1995  
[Date of sending the examiner's decision 26. 08. 1997  
of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2890380

[Date of registration] 26. 02. 1999

[Number of appeal against examiner's decision of rejection] 09-16210

[Date of requesting appeal against examiner's decision of rejection] 25. 09. 1997

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-152433

(43)公開日 平成5年(1993)6月18日

(51)Int.Cl.<sup>6</sup>  
H 01 L 21/78

識別記号 庁内整理番号  
L 8617-4M

F I

技術表示箇所

審査請求 未請求 請求項の数4(全19頁)

(21)出願番号 特願平3-312257

(22)出願日 平成3年(1991)11月27日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 岩崎 正修

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社エル・エス・アイ研究所内

(72)発明者 塚本 克博

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社エル・エス・アイ研究所内

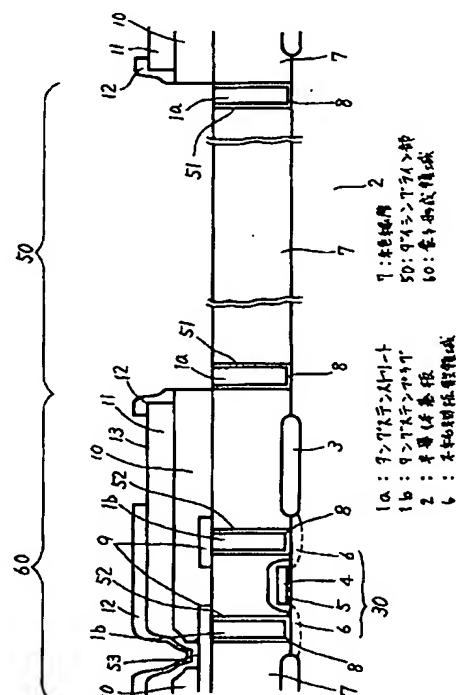
(74)代理人 弁理士 深見 久郎 (外3名)

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【目的】 エッチバックタングステンプラグプロセスを経ても、層間ショートなどを防止できる信頼性の高い半導体装置およびその製造方法を提供する。

【構成】 素子形成領域60の領域内であって、半導体基板2の表面に、ゲート電極4、ゲート酸化膜5および不純物拡散領域6からなるMOS型トランジスタ30が形成されている。半導体基板2の表面上には、絶縁層7が形成されている。絶縁層7は、不純物拡散領域6の上方に開口52を有している。この絶縁層7の開口52には、タングステンプラグ1bが形成されている。また、ダイシングライン部50において、絶縁層7は溝部51を有している。溝部51は、素子形成領域60を取り囲むように形成されている。この溝部51には、タングステンストリート1aが形成されている。



### 【特許請求の範囲】

【請求項 1】 主表面を有する半導体基板と、前記半導体基板の主表面に形成された素子を含む素子形成領域と、前記素子形成領域を覆うように形成された第 1 の材料からなる絶縁層とを備え、前記絶縁層は、前記素子形成領域を取囲むように配置され、かつ前記絶縁層の頂面から前記半導体基板の主表面に延びる穴を有し、前記穴を充填するように形成され、かつ、前記絶縁層の頂面に連続した頂面を有する第 2 の材料からなる充填層とを備えた、半導体装置。

【請求項 2】 半導体基板の主表面に素子を含む素子形成領域を形成する工程と、前記素子形成領域を覆うように第 1 の材料からなる絶縁層を形成する工程と、前記絶縁層の頂面から前記半導体基板の主表面に延びる穴を前記絶縁層に形成する工程と、前記絶縁層の頂面に連続した頂面を有する第 2 の材料からなる充填層とを備えた、半導体装置の製造方法。

【請求項 3】 主表面を有する半導体基板と、前記半導体基板の主表面に形成された素子を含む素子形成領域と、前記素子形成領域内で前記半導体基板の主表面に形成された導電領域と、前記素子形成領域を覆うように形成された絶縁層とを備え、前記絶縁層は、前記素子形成領域を取囲むように配置され、かつ前記絶縁層の頂面から前記半導体基板の主表面に延びる第 1 の穴と、前記素子形成領域内で前記絶縁層の頂面から前記導電領域に達する第 2 の穴とを有しており、前記第 1 の穴を充填するように形成され、かつ前記絶縁層の頂面に連続した頂面を有する導電材料からなる第 1 の充填層と、前記第 2 の穴を充填するように形成され、かつ前記絶縁層の頂面に連続した頂面を有する導電材料からなる第 2 の充填層とを備えた、半導体装置。

【請求項 4】 半導体基板の主表面に素子を含む素子形成領域を形成する工程と、前記素子形成領域内で前記半導体基板の主表面に導電領域を形成する工程と、

域を形成する工程と、

前記素子形成領域を覆うように絶縁層を形成する工程と、

前記素子形成領域を取囲み、かつ前記絶縁層の頂面から前記半導体基板の主表面に延びる第 1 の穴を前記絶縁層に形成する工程と、

前記素子形成領域内で前記絶縁層の頂面から前記導電領域に達する第 2 の穴を前記絶縁層に形成する工程と、前記第 1 の穴を充填し、かつ前記絶縁層の頂面に連続した頂面を有するように導電材料からなる第 1 の充填層と、前記第 2 の穴を充填し、かつ前記絶縁層の頂面に連続した頂面を有するように導電材料からなる第 2 の充填層とを形成する工程とを備えた、半導体装置の製造方法。

### 【発明の詳細な説明】

#### 【0001】

【産業上の利用分野】本発明は半導体装置およびその製造方法に関し、特に半導体装置としての各チップの周辺構造とその製造方法の改良に関するものである。

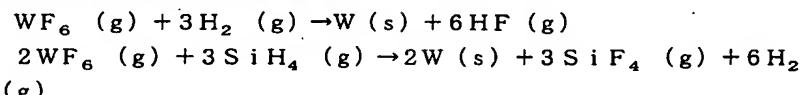
#### 【0002】

【従来の技術】近年、半導体集積回路の集積度がますます高められている。集積度の向上により、コンタクトホールの径がより小さくされる。また、不純物領域もより浅く形成される。さらに、配線層の増加に伴なう配線層の多層化により、その配線層を絶縁する層間絶縁層も、幾層にも厚く積重ねられる。これらの結果として、コンタクトホールのアスペクト比（深さ／径）が増大する。

【0003】従来、アルミニウム・シリコン（AlSi）などの配線層はスパッタリング法により堆積されていた。しかし、スパッタリング法では、プラズマの方向性のため、コンタクトホールを均一な厚みの膜で被覆できない。特に、コンタクトホールの側壁部、底部では、配線層の膜厚が薄くなる。このため、コンタクトホールの側壁部が急峻な状態となった場合、その側壁部、底部で、配線層の断線を生じるという問題点があった。

【0004】近年、上記問題点を回避するため、CVD（Chemical Vapor Deposition）法を用いたタングステン（W）プラグの開発が行なわれている。CVD法を用いてタングステン薄膜を形成する方法として、六フロリタングステン（WF<sub>6</sub>）の水素（H<sub>2</sub>）還元法、およびシラン（SiH<sub>4</sub>）還元法がある。その各々の還元反応式を以下に示す。

#### 【0005】



ここで、(g) および (s) は、それぞれ気相および固相状態を示す。

【0006】この、CVD-タングステンプラグ技術には、選択（selective）タングステン技術とエ

ッチバックタングステンプラグ技術がある。

【0007】選択タングステン技術はコンタクトホールのみにタングステンを成長させる技術であり、それゆえ、理想的な埋込み技術と言われている。しかし、以下

の理由から実用段階には至っていない。

【0008】その理由として、選択タングステン技術でのタングステンの成長が表面状態に鋭敏である点があげられる。まず、選択タングステン技術では、タングステンの成長は表面状態に鋭敏であるため、タングステンの成長反応が各下層ごとに異なる。すなわち、コンタクトホールが、n型およびp型の不純物層のみならず、n型およびp型のポリシリコン( $P_{01y}-Si$ )層、タングステンポリサイド( $WS_{ix}/P_{01y}-Si$ )層やチタンシリサイド( $TiSi_2$ )層などの下層の上に形成される場合、下層の異なるすべてのコンタクトホールを一様に埋めることは困難である。また、シリコン基板を下層とするコンタクトホールとポリシリコン層などを下層とするコンタクトホールでは、基板上にポリシリコン層を積んだ分だけ深さが異なる点からも一様に埋めることはできない。

【0009】次に、選択タングステン技術では、タングステンの成長は絶縁膜の表面状態にも鋭敏である。すなわち、絶縁膜上に前工程までの僅かな残査やダメージが残っている場合、この部分が核形成サイトとなりタングステンが成長してしまう。このように、“選択性が崩れる”という現象が起り、コンタクトホールだけでなく、絶縁膜上にもタングステンが成長してしまう。

【0010】以上のような点から選択タングステン技術は実用化には至っていない。次に、エッチバックタングステンプラグ技術とは、窒化チタン( $TiN$ )またはチタンタングステン( $TiW$ )などのバリアメタルを密着層として形成し、ウエハ全体にタングステン膜を堆積させた後、このタングステンを全面エッチバックして、コンタクトホールにタングステンプラグを残す技術である。このエッチバックタングステンプラグ技術は、前述の選択タングステン技術に比べ、比較的容易であり、実用化に近い技術である。以下に、このエッチバックタングステンプラグ技術を採用して製造された従来の半導体装置およびその製造方法について説明する。

【0011】まず、従来の半導体装置の構成について説明する。図29は、従来のウエハを概略的に示す平面図である。また、図30は、図29のB部を拡大して示す拡大平面図である。これらの図を参照して、ウエハ300には複数の素子260が形成されている。この素子260は、エッチバックタングステンプラグプロセスを経て製造されている。また、素子260の間には、素子の形成されていないダイシングライン部250がある。このダイシングライン部250には、アライメントマーク220が形成されている。このアライメントマーク220は、凸型のアライメントマークである。ダイシングライン部250は、ウエハ300をチップに分断する際、切断される領域であり、たとえば、j-j線に沿って切断される。

【0012】図31は、図30のn-n線に沿う部分断

面図、図32は、図30のo-o線に沿う部分断面図である。

【0013】まず、図31を参照して、この図は、ダイシングラインにアライメントマークが配されていない部分の断面図である。ダイシングによる切断前には、素子形成領域260の間にダイシングライン部250がある。素子形成領域260について、半導体基板202の表面には、素子分離用の酸化膜203が形成されている。この酸化膜203の間に、MOS型トランジスタ230が形成されている。このMOS型トランジスタ230は、ゲート電極204、ゲート酸化膜205および不純物拡散領域206から形成されている。半導体基板202の表面上であって、素子形成領域260の領域内に、絶縁層207が形成されている。この絶縁層207は、不純物拡散領域206の上に開口252を有している。この開口252から不純物拡散領域206の一部表面が露出している。絶縁層207の周辺および開口252の側壁部と底部には、バリアメタル208が薄く形成されている。このバリアメタル208は、 $TiN/Ti$ からなっている。また、絶縁層207の開口252は、タングステンプラグ201bによって埋込まれている。絶縁層207の表面上であって、タングステンプラグ201bの上には、第1のアルミニウム配線層209が形成されている。この第1アルミニウム配線層209は、タングステンプラグ201bを介して、不純物拡散領域206と電気的に接続されている。第1のアルミニウム配線層209が形成された絶縁層207の表面上には、層間絶縁膜210が形成されている。この層間絶縁膜210は、第1のアルミニウム配線層209の上にスルーホール253を有している。このスルーホール253から、第1のアルミニウム配線層209の一部表面が露出している。層間絶縁膜210の上には、第2のアルミニウム配線層211が形成されている。この第2のアルミニウム配線層211は、層間絶縁膜210のスルーホール253を介して、第1のアルミニウム配線層209と電気的に接続されている。この第2のアルミニウム配線層211の表面を被覆するように、パッシベーション膜212が形成されている。このパッシベーション膜212は、開口を有している。この開口から、第2のアルミニウム配線層211の一部表面が露出しており、ボンディングパッド部213を形成している。

【0014】ダイシングライン部250について、半導体基板202の表面上には、なにも形成されておらず、半導体基板202の表面がタングステンプラグ201b形成時のエッチバックにより荒れている。ダイシングライン部250の一部は簡略化のためその図示が省略してある。

【0015】次に図32を参照して、ダイシングライン部にアライメントマークが配されている部分の断面図である。ダイシングによる切断前には、素子形成領域260

0の間には、ダイシングライン部250がある。素子形成領域260については、上記に示す図31のアライメントマークを有しない場合と同様の構成である。ダイシングライン部250には、凸型のアライメントマーク220が複数個形成されている。半導体基板202の表面であって、アライメントマーク220が形成されていない部分は、タングステンプラグ201b形成時のエッチバックにより荒れている。ダイシングライン部250の一部は、簡略化のためその図示が省略してある。

【0016】以上のように従来の半導体装置は構成されている。次に、従来の半導体装置の製造方法について図30のn-n線とo-o線に沿う各々の断面を用いて以下に説明する。

【0017】図33～図40は従来の半導体装置の製造方法を工程順に示す図30のn-n線に沿う断面図である。また、図41～図48は、従来の半導体装置の製造方法を工程順に示す図30のo-o線に沿う断面図である。

【0018】まず、図33と図41を参照して、半導体基板202の表面上に、素子分離用の酸化膜203が形成される。この酸化膜203の間の領域に、ゲート電極204、ゲート酸化膜205および不純物拡散領域206からなるMOS型トランジスタ230が形成される。半導体基板202の表面上に、絶縁層207が形成される。この絶縁層207には、エッチングにより不純物拡散領域206の上側にコンタクトホール252が形成される。また、ダイシングライン部250の領域もエッチングにより、絶縁層207は除去される。特に図41を参照して、ダイシングライン部250の領域から絶縁層207を選択的に除去する際に、アライメントマーク220が、複数個形成される。

【0019】図34と図42を参照して、半導体基板202の表面上にTiN/Tiからなるバリアメタルがスパッタリングにより形成される。

【0020】図35と図43を参照して、半導体基板202の表面上に、CVD法によりタングステン層201が堆積される。これによりコンタクトホール252はタングステン層201によって埋込まれる。

【0021】図36と図44を参照して、タングステン層201の堆積された表面全面がエッチバックされる。これによりタングステンプラグ201bが形成される。また、このエッチバックによりダイシングライン部250において、半導体基板202の表面が荒れる。また、絶縁層207の周辺部には、タングステン層201aが残査として残る。特に図44を参照して、アライメントマーク220の周辺にも、タングステン層201aが残査として残る。

【0022】図37と図45を参照して、半導体基板202の表面全面に、第1のアルミニウム層が形成される。このアルミニウム層がエッチングされて、アルミニ

ウム配線層209が形成される。この第1のアルミニウム配線層209は、タングステンプラグ201bの上部に残される。特に図45を参照して、アライメントマーク220の上部にも、第1のアルミニウム配線層209が残される。

【0023】図38と図46を参照して、半導体基板202の表面全面に、絶縁層が形成される。この絶縁層がエッチングされて、層間絶縁膜210が形成される。この層間絶縁膜210は、絶縁層207の表面上だけ残される。また、層間絶縁膜210は、第1のアルミニウム配線層209の一部表面上もエッチング除去される。これにより、層間絶縁膜210にはスルーホール253が形成され、第1のアルミニウム配線層209の一部表面が露出する。特に図46を参照して、アライメントマーク220の上部にも層間絶縁膜210が残される。

【0024】図39と図47を参照して、半導体基板202の表面全面に、第2のアルミニウム層が形成される。この第2のアルミニウム層がエッチングされて、第2のアルミニウム配線層211が形成される。この第2のアルミニウム配線層211は、絶縁層207の上部だけ残される。特に図47を参照して、アライメントマーク220の上部にも第2のアルミニウム配線層211が残される。

【0025】図40と図48を参照して、半導体基板202の表面全面に、パッシベーション層が形成される。このパッシベーション層がエッチングされて、パッシベーション膜212が形成される。エッチングにより、パッシベーション膜212は、素子形成部260を被覆するように残される。また、パッシベーション膜212は、第2のアルミニウム配線層211の一部表面上もエッチング除去される。これにより、パッシベーション膜212に開口が形成され、第2のアルミニウム配線層211の一部表面が露出する。この第2のアルミニウム配線層211の露出部がボンディングパッド部213となる。特に図48を参照して、アライメントマーク220の上部にも、パッシベーション膜212が残される。

【0026】以上のようにして、従来の半導体装置は製造される。

#### 【0027】

【発明が解決しようとする課題】以上のような従来の半導体装置においては、図31、図32に示されるようにダイシングライン部250と素子形成領域260の間に生じる段差やアライメントマークにより生じる段差は回避できない。これらの段差により生じる弊害を以下に説明する。

【0028】図49は、径の異なる複数のコンタクトホールにタングステンプラグを形成する工程を示す断面図である。図49(a)を参照して、コンタクトホールH1の径が最も大きく、次いでコンタクトホールH2、コンタクトホールH3の順となっている。図49(b)を

参照して、表面全面にタングステン層201を堆積させる。図49(c)を参照して、このタングステン層201を全面エッチバックする。これにより径の最も小さいコンタクトホールH3には、タングステンプラグ201bが形成される。しかし、コンタクトホールH3よりも径の大きいコンタクトホールH2、H1では、タングステン層201の埋込みが不十分なため、エッチバック時に基板表面が荒れてしまう。コンタクトホールH2、H1を埋込むには、図示したタングステン層201の厚みでは、薄すぎるためである。コンタクトホールH3の径に比較的近い径(たとえばコンタクトホールH2)であれば、設計上の工夫でコンタクトホールH3の径に統一することが可能である。よって、コンタクトホールH2では、完全に埋込むことが可能となり、接合表面の荒れを防ぐことができる。これに対し、コンタクトホールH1程度の径になると、その径を設計段階で小さくすることも、タングステン層を厚くして埋込むことも不可能に近い。実際のデバイスでは、このコンタクトホールH1の部分は、上述した不可避のダイシングラインやアライメントマークによる段差部に相当する。したがって、ダイシングラインやアライメントマークによる段差部では、タングステンプラグ形成時のエッチバックにより、基板表面が荒れてしまう。とくにダイシングラインには、アライメントマークが図30に示されるように形成されている。ダイシングラインにおける基板表面の荒れが、このアライメントマークに及ぼす影響を以下に述べる。

【0029】一般に、各層間の位置合せには、アライメントマークが用いられる。この位置合せは、凹または凸型のアライメントマークにHe-Neレーザ光( $\lambda=633\text{nm}$ )をスキャンさせ、その反射光の強度からアライメントマークのパターンの中心を認識することにより行なわれる。

【0030】図50は、基板表面に荒れを生じていない場合の凹型(a)および凸型(b)のアライメントマークの断面およびアライメント波形を示す図である。また、図51は基板表面に荒れを生じている場合の凹型(a)および凸型(b)のアライメントマークの断面およびアライメント波形を示す図である。

【0031】図50を参照して、タングステンプラグプロセスを用いずに、コンタクトホールにアルミニウム配線層を施す場合、タングステン層のエッチバック工程がない。よって、基板表面に荒れを生じない。このため、凹型(a)、凸型(b)とともに、良好なアライメント波形を示す。したがってアライメントマークのパターンの中心の認識が可能である。

【0032】これに対して、タングステンプラグプロセスを用いる場合は、図51を参照して、タングステン層のエッチバック工程により基板表面に荒れが生じる。この表面の荒れによって、アライメント波形が乱れる。こ

のアライメント波形の乱れは、凹型の(a)で示される程度であれば、パターンの中心が認識可能であるのに使用可能である。しかし、凸型(a)は、アライメント波形の乱れがひどく、パターンの中心の認識が困難となる。

【0033】以上のように、エッチバックタングステンプラグ技術を採用する場合、基板荒れを生じ、アライメント精度の低下をもたらすという問題点があった。

【0034】上記問題点を解決する方法として、ダイシングライン全面に絶縁膜を残すという方法が考えられる。以下、その方法について説明する。

【0035】図52は、図29のB部に対応する拡大平面図である。ダイシングライン部350には、基板の上に絶縁膜が残されている。また、ダイシングライン部350には、アライメントマーク320が複数個形成されている。このアライメントマーク320は、凹型のアライメントマークである。また、ダイシングライン部350は、ダイシングライン時に切断される領域であり、たとえばk-k線に沿って切断される。

【0036】図53は、図52のp-p線に沿う断面図、図54は、図52のq-q線に沿う断面図である。なお、図31、図32と同一箇所については、図の符号を対応する符号で示している。これらの図を参照して、半導体基板302の上に、絶縁層307が残されている。このため、半導体基板302の表面はタングステンプラグ形成時のエッチバックにより、荒れを生じることはない。また、絶縁層307に凹型のアライメントマーク320が複数個形成されている。凹型のアライメントマークであれば、図51(a)に示すように、タングステンプラグ形成時のエッチバックが施されても、大きなアライメント精度の低下はない。

【0037】以上のように、ダイシングライン全面において、基板上に絶縁膜を残すことによって、アライメント精度の低下は防止することができる。しかし、上記のようにダイシングライン部に絶縁層を残す構成とした場合、図52のk-k線に沿ってダイシングする際に以下の問題が生じる。

【0038】図55は、図52のk-k線に沿ってダイシングする時の様子を示すp-p線に沿う断面図である。図55を参照して、ダイサーの刃340によって、ダイシングラインの絶縁層307と半導体基板302が切断される。しかし、このダイシング時に絶縁層307と半導体基板302にクラックが発生する。このクラックは、絶縁層307中を延び、絶縁層307に形成された素子形成領域360の配線層315にまで及ぶ。これにより、層間ショートや信頼性の低下を引き起すという問題点があった。

【0039】上記の問題点を解決するための半導体装置が、特開平2-211652号公報に開示されている。上記先行技術に開示されている半導体装置の構成につい

て以下に説明する。

【0040】図56は、上記先行技術に開示された半導体装置の概略構成を示す断面図である。図56を参照して、ウエハからチップを分断する前の状態であり、素子形成部460の間には、ダイシング時に切断されるダイシングライン部450がある。半導体基板402の表面には、素子分離用の酸化膜403が形成されている。半導体基板402の表面上には、絶縁層407が形成されている。この絶縁層407は、ダイシングライン部450に開口451を有する。この開口451からは、半導体基板402の一部表面が露出している。ダイシングライン部450において、絶縁層407の上には、タングステン配線層401が形成されている。このタングステン配線層401は、ダイシングライン部450において、絶縁層407を被覆している。また、タングステン配線層401は、絶縁層407の開口451を埋込んでいる。素子形成部460においては、絶縁層407とタングステン配線層401の上に、絶縁膜423が形成されている。

【0041】上記のように、先行技術に開示された半導体装置は構成されている。この半導体装置は、ダイシングライン部450に絶縁層407とタングステンプラグ401を残したこと、ダイシングによる絶縁膜の割れが他のチップに及ぶのを防いでいる。しかしながら、図57に示すように、ダイシングライン部450をダイサーの刃440で切断する際、以下の問題点を生ずる。

【0042】図58は、先行技術に開示された半導体装置のダイシングライン部を切断した後の状態を示す斜視図である。図58を参照して、先行技術に開示された半導体装置は、ダイシングライン部450において、タングステン配線層401が絶縁層407の全面を被覆するように形成されている。このため、図57に示すように、切断の際、まず、タングステン配線層401を切断しなくてはならない。この切断によって、タングステン配線層401の破片が飛散り、図58に示すように、ボンディングパッド413の間にまたがる恐れがある。このように、配線層の切断によってボンディングパッド間でショートを引き起こすという問題点があった。また、タングステン配線層401と絶縁層407の2層を切断せねばならず、特に、タングステン配線層401が硬度の高い材質である場合、ダイサーの刃440の摩耗が激しく、欠損回数も多くなる。このようにダイサーの刃440の寿命が短くなるという問題点もあった。

【0043】本発明は上記のような問題点を解決するためになされたもので、エッチバックタングステンプラグプロセスを経ても、アライメント精度の低下、層間ショートや信頼性の低下、ボンディングパッド間のショート及びダイサーの刃の短命化を防止可能な半導体装置およびその製造方法を提供することを目的とする。

【0044】

【課題を解決するための手段】請求項1に記載の本発明に従った半導体装置は、半導体基板と素子形成領域と、第1の材料からなる絶縁層と、第2の材料からなる充填層とを備えている。半導体基板は、主表面を有している。素子形成領域は、半導体基板の主表面に形成された素子を含んでいる。第1の材料からなる絶縁層は、素子形成領域を覆うように形成されている。また、第1の材料からなる絶縁層は、素子形成領域を取囲むように配置され、かつ第1の材料からなる絶縁層の頂面から半導体基板の主表面に延びる穴を有している。第2の材料からなる充填層は、穴を充填するように形成され、かつ第1の材料からなる絶縁層の頂面に連続した頂面を有している。

【0045】請求項2に記載の本発明に従った半導体装置の製造方法によれば、まず、半導体基板の主表面に形成された素子を含む素子形成領域が形成される。素子形成領域を覆うように第1の材料からなる絶縁層が形成される。素子形成領域を取囲むように、かつ絶縁層の頂面から半導体基板の主表面に延びるように穴が絶縁層に形成される。穴を充填するように、かつ絶縁層の頂面に連続した頂面を有するように第2の材料からなる充填層が形成される。

【0046】請求項3に記載の本発明に従った半導体装置は、半導体基板と素子形成領域と、導電領域と、絶縁層と、導電材料からなる第1の充填層と、導電材料からなる第2の充填層とを備えている。半導体基板は、主表面を有している。素子形成領域は、半導体基板の主表面に形成される素子を含んでいる。導電領域は、素子形成領域内で半導体基板の主表面に形成されている。絶縁層は、素子形成領域を覆うように形成されている。また、この絶縁層は、素子形成領域を取囲むように配置され、かつ絶縁層の頂面から半導体基板の主表面に延びる第1の穴を有している。さらに、この絶縁層には、素子形成領域内で、絶縁層の表面から導電領域に達する第2の穴を有している。導電材料からなる第1の充填層は、第1の穴を充填するように、かつ絶縁層の頂面に連続した頂面を有するように形成されている。導電材料からなる第2の充填層は、第2の穴を充填するように、かつ絶縁層の頂面に連続した頂面を有するように形成されている。

【0047】請求項4に記載の本発明に従った半導体装置の製造方法によれば、まず、半導体基板の主表面に形成された素子を含む素子形成領域が形成される。素子形成領域内で半導体基板の主表面に導電領域が形成される。素子形成領域を覆うように絶縁層が形成される。素子形成領域を取囲み、かつ絶縁層の頂面から半導体基板の主表面に延びる第1の穴が絶縁層に形成される。素子形成領域内で絶縁層の頂面から導電領域に達する第2の穴が絶縁層に形成される。第1の穴を充填し、かつ絶縁層の頂面に連続した頂面を有するように導電材料からなる第1の充填層と第2の穴を充填するように、かつ絶縁層

層の頂面に連続した頂面を有するように導電材料からなる第2の充填層とが形成される。

#### 【0048】

【作用】請求項1に記載の半導体装置によれば、第1の絶縁層には穴が形成されている。この穴は、素子形成領域を取囲むように配置され、かつ絶縁層の頂面から半導体基板の主表面に延びるように形成されている。この穴には第2の材料からなる充填層が充填されている。よって、充填層は素子形成領域を取囲むように配置されている。このため、素子形成領域以外の絶縁層で覆われた部分を切断する場合、切断によって生じるクラックの進行は、充填層により妨げられる。したがって、クラックは素子形成領域に及ばず、層間ショートや信頼性の低下を防止することができる。さらに、第2の材料からなる充填層が、絶縁層の頂面に連続した頂面を有している。すなわち、素子形成領域以外の絶縁層の上には、充填層は形成されていない。このため、素子形成領域以外の絶縁層部を切断する場合、絶縁層のみを切断するため、ダイサーの刃の寿命が長くなる。

【0049】請求項2に記載の半導体装置の製造方法によれば、上記の効果を有する半導体装置が得られる。

【0050】請求項3に記載の半導体装置によれば、導電材料からなる第1の充填層が、絶縁層の頂面に連続した頂面を有している。すなわち、素子形成領域以外の絶縁層上には、導電材料からなる第1の充填層は形成されていない。このため、素子形成領域以外の絶縁層を切断する場合、導電材料からなる第1の充填層が切断されないため、導電材料からなる第1の充填層が飛散することはない。したがって、ボンディングパッド間に、導電材料からなる第1の充填層がまたがることはなく、ボンディングパッド間のショートが防止できる。

【0051】請求項4に記載の半導体装置の製造方法によれば、第1の穴を充填するように、かつ絶縁層の頂面に連続した頂面を有するように、導電材料からなる第1の充填層が形成され、第2の穴を充填するように、かつ絶縁層の頂面に連続した頂面を有するように導電材料からなる第2の充填層が形成される。まず第1の穴を充填する第1の充填層には、導電領域と電気的に接続される必要から導電材料が用いられる。また、第2の穴を充填する第2の充填層は、素子形成領域以外の絶縁層上には形成されない。よって、切断時に第2の充填層が飛び散ってボンディングパッド間でショートを引き起こすことはない。これにより、第2の充填層に導電材料を用いることが可能となる。すなわち、第1の充填層と第2の充填層に同じ導電材料を用いることができる。このため、同じ工程で、第1の穴と第2の穴をそれぞれ、第1の充填層と第2の充填層で充填できる。したがって、製造工程の簡略化が図れる。

#### 【0052】

【実施例】図1は、本発明の第一の実施例によるウエハ

を概略的に示す平面図である。

【0053】また、図2は、図1のA部を拡大して示す拡大平面図である。これらの図を参照して、ウエハ100には、複数の素子60が形成されている。この素子60は、エッチバックタングステンプラグプロセスを経て製造されている。また、素子60の間には、素子の形成されていないダイシングライン部50がある。このダイシングライン部50には、アライメントマーク20が形成されている。このダイシングライン部50は、ウエハからチップに切断する際に切断される領域であり、たとえばi-i線に沿って切断される。

【0054】図3は図2のi-i線に沿う部分の拡大平面図、図4は、図2のm-m線に沿う部分の拡大平面図である。これらの図を参照して、ダイシングライン部50には、素子形成領域60の周囲を囲むようにタングステンストリート1aが形成されている。また、ダイシングライン部50には、半導体基板に絶縁膜7が残されている。このため、ダイシングライン部50に形成されるアライメントマーク20は凹型となる。

【0055】図5は図3のi-i線に沿う断面図、図6は図4のm-m線に沿う断面図である。

【0056】図5を参照して、この図は、ダイシングライン部50にアライメントマークが配されていない部分の断面図である。ウエハからチップに分断する前であり、素子形成領域60の間に、ダイシングライン部50がある。まず素子形成領域60について、半導体基板2の表面に素子分離用の酸化膜3が形成されている。この酸化膜3の間には、MOS型トランジスタ30が形成されている。このMOS型トランジスタ30は、ゲート電極4、ゲート酸化膜5および不純物拡散領域6からなっている。MOS型トランジスタ30が形成された半導体基板2の表面上に絶縁層7が形成されている。この絶縁層7は、不純物拡散領域6の上部にコンタクトホール52を有している。このコンタクトホール52からは、不純物拡散領域6の一部表面が露出している。コンタクトホール52の側壁と底面には、TIN/Tiからなるバリアメタル8が薄く形成されている。コンタクトホール52は、タングステンプラグ1bによって埋込まれている。このコンタクトホール52の上には、第1のアルミニウム配線層9が形成されている。この第1のアルミニウム配線層9は、タングステンプラグ1bを介して、不純物拡散領域6と電気的に接続されている。絶縁層7の表面上には、層間絶縁膜10が形成されている。この層間絶縁膜10は、第1のアルミニウム配線層9の上部にスルーホール53を有している。このスルーホール53から、第1のアルミニウム配線層9の一部表面が露出している。層間絶縁膜10の表面上には、第2のアルミニウム配線層11が形成されている。このアルミニウム配線層11は、スルーホール53を介して、第1のアルミニウム配線層9と電気的に接続されている。この第2の

アルミニウム配線層11の表面上には、パッシベーション膜12が形成されている。このパッシベーション膜12は、開口を有している。この開口からは、第2のアルミニウム配線層11の一部表面が露出している。この第2のアルミニウム配線層11の露出部分がボンディングパッド部13となっている。次に、ダイシングライン部50について、半導体基板2の表面上に絶縁層7が形成されている。この絶縁層7は、素子形成領域60の周囲を取囲むように溝部51を有している。この溝部51の内壁には、薄くTiN/Tiからなるバリアメタル8が形成されている。また、この溝部51は、タングステンストリート1aによって埋込まれている。このタングステンストリート1aは、素子形成領域60の周囲を取囲むように形成されている。

【0057】図6を参照して、この図はダイシングライン部50にアライメントマークが配されている部分の断面図である。素子形成領域60については、図5に示すアライメントマークが配されていない部分と同様の構成である。また、ダイシングライン部50については凹型のアライメントマーク20が複数個形成されている。それ以外は、図5と同様の構成をなす。なお、図5、図6において、ダイシングライン部50は簡略化のためその図示が省略してある。

【0058】上記のように、本発明の第一の実施例による半導体装置が構成されている。次にこの半導体装置の製造方法について以下に説明する。

【0059】図7～図14は、本発明の第一の実施例による半導体装置の製造方法を工程順に示す図3の1-1線に沿う断面図である。また、図15～図22は、本発明の第一の実施例による半導体装置の製造方法を工程順に示す図4のm-m線に沿う断面図である。

【0060】まず、図7と図15を参照して、半導体基板2の表面に素子分離用の酸化膜3が形成される。酸化膜3の間には、ゲート電極4、ゲート酸化膜5および不純物拡散領域6からなるMOS型トランジスタ30が形成される。半導体基板2の表面上に絶縁層7が形成される。素子形成領域60においては、絶縁層7に開口52が形成される。この開口52は、不純物拡散領域6の上部に形成され、かつ、この開口52からは、不純物拡散領域6の一部表面が露出する。また、ダイシングライン部50においては、絶縁層7に溝部51が形成される。この溝部51は、素子形成領域60の周囲を取囲むように形成され、かつこの溝部51からは半導体基板1の一部表面が露出する。特に図15を参照して、絶縁層7に凹型のアライメントマーク20も形成される。

【0061】図8と図16を参照して、半導体基板2の表面上にスパッタリングによってTiN/Tiからなるバリアメタル8が薄く形成される。

【0062】図9と図17を参照して、バリアメタル8が形成された半導体基板2の表面上に、CVD法によ

り、タングステン層1が堆積される。このタングステン層1の堆積により、開口52と溝部51がタングステン層1で埋込まれる。

【0063】図10と図18を参照して、タングステン層1が堆積された表面全面をエッチバックする。このエッチバックにより、素子形成領域60の開口52にはタングステンプラグ1bが形成される。また、ダイシングライン部50には、素子形成領域60を取囲むようにタングステンストリート1aが形成される。タングステンプラグ1bは、不純物拡散領域6と電気的に接続される。特に図18を参照して、タングステン層1のエッチバックにより、凹型のアライメントマーク20から露出している半導体基板2の一部表面が荒れる。

【0064】図11と図19を参照して、半導体基板2の表面全面に、第1のアルミニウム層が形成される。このアルミニウム層が、エッチングされて、第1のアルミニウム配線層9が形成される。この第1のアルミニウム配線層9は、タングステンプラグ1bの上部のみ残される。

【0065】図12と図20を参照して、半導体基板2の表面全面に、絶縁層が形成される。この絶縁層が、エッチングされて、層間絶縁膜10が形成される。この層間絶縁膜10は、絶縁層7の表面上のみ残される。また、層間絶縁膜10は、第1のアルミニウム配線層9の一部表面上もエッチングにより除去される。これにより層間絶縁膜10には、スルーホール53が形成され、第1のアルミニウム配線層9の一部表面が露出する。

【0066】図13と図21を参照して、半導体基板2の表面全面に、第2のアルミニウム層が形成される。この第2のアルミニウム層が、エッチングされて第2のアルミニウム配線層11が形成される。第2のアルミニウム配線層11は、層間絶縁膜10の表面上のみ残される。第2のアルミニウム配線層11は、層間絶縁膜10のスルーホール53を介して第1のアルミニウム配線層9の一部表面と接触する。

【0067】図14と図22を参照して、半導体基板2の表面全面に、パッシベーション層が堆積される。このパッシベーション層が、エッチングされてパッシベーション膜12が形成される。このエッチングにより、パッシベーション膜12は、第2のアルミニウム配線層11を被覆するように残される。また、パッシベーション膜12は、第2のアルミニウム配線層11の一部表面上もエッチング除去される。これにより、パッシベーション膜12に開口が形成され、第2のアルミニウム配線層11の一部表面が露出する。この第2のアルミニウム配線層11の一部露出部分がボンディングパッド部13となる。

【0068】以上のようにして、本発明の第一の実施例による半導体装置は製造される。このように製造された本発明の第一の実施例による半導体装置においては、ダ

イシングライン部に絶縁膜が残され、そこに凹型のアライメントマークが形成されている。このため、表面荒れによるアライメント精度の低下を防ぐことができる。また、ダイシングライン部に残された絶縁膜に、素子形成領域を取囲むようにタングステンストリートが形成されている。このため、図2のi-i線に沿って切断した場合、以下の利点がある。図23を参照して、ダイシングライン部をダイサーの刃40を用いて切断した場合、絶縁層7と半導体基板2に切断部からクラックが発生する。このクラックが素子形成領域60へ延びるが、素子形成領域60を取囲むようにタングステンストリート1aが形成されているため、クラックは、タングステンストリート1aで止められる。よってクラックは素子形成領域60には及ばない。したがって、層間ショートや信頼性の低下を防ぐことができる。

【0069】さらに、前記先行技術に開示された半導体装置のように、ダイシングライン部の絶縁層の上に配線層が形成されていない。このため、ダイシング時の配線層の飛散りによる、ボンディングパッド間のショートを防止出来る。

【0070】また、基板の表面上には、絶縁層の一層のみであるから、絶縁層と配線層の二層を切断する場合に比べて、ダイサーの刃の寿命が長くなる。

【0071】次に、切断された後の半導体装置の構成について説明する。図24は、本発明の第一の実施例による半導体装置を切断した後の概略構成を示す断面図である。図24を参照して、ダイシングライン部50の絶縁層7が切断されるため、タングステンストリート1a、パッシベーション膜8および絶縁層7が、半導体基板2上に残される。このように、切断後のダイシングライン部は構成されている。

【0072】次に本発明の第二の実施例について以下に説明する。図25は、本発明の第二の実施例による図2のm-m線に沿った部分の拡大平面図である。また、図26は、図25のm-m線に沿う断面図である。これらの図を参照して、素子形成領域160の間にダイシングライン部150が形成されている。素子形成領域160は、第一の実施例と同様の構成である。ダイシングライン部150においては、半導体基板2の表面上に絶縁層107が残されている。この絶縁層107には、凹型のアライメントマーク20が複数個形成されている。また、絶縁層107には、素子形成領域160を取囲むように、ホール状のタングステンストリート101aが複数個形成されている。

【0073】上記に示すように本発明の第二の実施例では、ホール状のタングステンストリート101aが素子形成領域を取囲むような構成となっている。

【0074】なお、上記に示す二つの実施例では、素子形成領域を取囲むタングステンストリートが一層のものを示したが、二層、三層と多層にわたって取囲むよう

構成としてもよい。

【0075】また、上記実施例では、ダイシングラインに絶縁膜を残した場合を示したが、図14、図22の後の工程で、絶縁膜を取除き、図27、図28に示すような構成としてもよい。図27では、ダイシングライン50において、半導体基板2から絶縁膜を取り除く。また、図28では、ダイシングライン50において、アライメントマーク20を残して、半導体基板2から絶縁膜を取り除く。

【0076】さらに、上記に示す二つの実施例では、ダイシングライン部上の絶縁膜に形成した開口に、CVD法で形成したタングステン層を埋込んだが、材料は、ポリシリコン、アルミニウム・シリコン(A1Si)、アルミニウム・銅(A1Cu)、モリブデン(Mo)のようにこの開口を完全に埋めて、絶縁膜との間に界面を形成するものであればよい。

【0077】

【発明の効果】請求項1に記載の半導体装置によれば、第1の絶縁層には、穴が形成されている。この穴は、素子形成領域を取囲むように配置され、絶縁層の頂面から半導体基板の主表面に延びるように形成されている。この穴には第2の材料からなる充填層が充填されている。すなわち、充填層は素子形成領域を取り囲むように形成されている。このため、クラックによる層間ショートや信頼性の低下を防止することができる。また、第2の材料からなる充填層が、絶縁層の頂面に連続した頂面を有している。すなわち、素子形成領域以外では、絶縁層上に充填層は形成されていない。このため、ダイサーの刃の短命化を防止することができる。

【0078】請求項2に記載の半導体装置の製造方法によれば、上記の効果を有する半導体装置が得られる。

【0079】請求項3に記載の半導体装置によれば、導電材料からなる第1の充填層が、絶縁層の頂面に連続した頂面を有している。すなわち、素子形成領域以外では、絶縁層上に充填層は形成されていない。このため、素子形成領域以外を切断する際に、導電材料からなる第1の充填層を切断する必要はなく、導電材料からなる第1の充填層が飛散ることはない。よって、ボンディングパッド間のショートが防止できる。

【0080】請求項4に記載の半導体装置の製造方法によれば、第1の穴を充填するように、かつ絶縁層の頂面に連続した頂面を有するように、導電材料からなる第1の充填層が形成され、同時に、第2の穴を充填するように、かつ絶縁層の頂面に連続した頂面を有するように導電材料からなる第2の充填層が形成される。このため、製造工程の簡略化を図ることができる。

【図面の簡単な説明】

【図1】本発明の第一の実施例によるウェハを概略的に示す平面図である。

【図2】図1のA部を拡大して示す拡大平面図である。

【図3】図2の1-1線に沿う部分を拡大して示す平面図である。

【図4】図2のm-m線に沿う部分を拡大して示す平面図である。

【図5】図3の1-1線に沿う断面図である。

【図6】図4のm-m線に沿う断面図である。

【図7】本発明の第一の実施例による半導体装置の製造方法の第1工程を示す図3の1-1線に沿う断面図である。

【図8】本発明の第一の実施例による半導体装置の製造方法の第2工程を示す図3の1-1線に沿う断面図である。

【図9】本発明の第一の実施例による半導体装置の製造方法の第3工程を示す図3の1-1線に沿う断面図である。

【図10】本発明の第一の実施例による半導体装置の製造方法の第4工程を示す図3の1-1線に沿う断面図である。

【図11】本発明の第一の実施例による半導体装置の製造方法の第5工程を示す図3の1-1線に沿う断面図である。

【図12】本発明の第一の実施例による半導体装置の製造方法の第6工程を示す図3の1-1線に沿う断面図である。

【図13】本発明の第一の実施例による半導体装置の製造方法の第7工程を示す図3の1-1線に沿う断面図である。

【図14】本発明の第一の実施例による半導体装置の製造方法の第8工程を示す図3の1-1線に沿う断面図である。

【図15】本発明の第一の実施例による半導体装置の製造方法の第1工程を示す図3のm-m線に沿う断面図である。

【図16】本発明の第一の実施例による半導体装置の製造方法の第2工程を示す図3のm-m線に沿う断面図である。

【図17】本発明の第一の実施例による半導体装置の製造方法の第3工程を示す図3のm-m線に沿う断面図である。

【図18】本発明の第一の実施例による半導体装置の製造方法の第4工程を示す図3のm-m線に沿う断面図である。

【図19】本発明の第一の実施例による半導体装置の製造方法の第5工程を示す図3のm-m線に沿う断面図である。

【図20】本発明の第一の実施例による半導体装置の製造方法の第6工程を示す図3のm-m線に沿う断面図である。

【図21】本発明の第一の実施例による半導体装置の製造方法の第7工程を示す図3のm-m線に沿う断面図である。

ある。

【図22】本発明の第一の実施例による半導体装置の製造方法の第8工程を示す図3のm-m線に沿う断面図である。

【図23】本発明の第一の実施例による半導体装置の切断時の様子を示す断面図である。

【図24】本発明の第一の実施例による半導体装置の切断後の概略構成を示す断面図である。

【図25】本発明の第二の実施例による図2のm-m線に対応する拡大平面図である。

【図26】図25のm-m線に沿う断面図である。

【図27】本発明の第一の実施例による半導体装置の製造方法の第9工程を示す図3の1-1線に沿う断面図である。

【図28】本発明の第一の実施例による半導体装置の製造方法の第9工程を示す図3のm-m線に沿う断面図である。

【図29】従来のウエハを概略的に示す平面図である。

【図30】図29のB部を拡大して示す拡大平面図である。

【図31】図30のn-n線に沿う断面図である。

【図32】図30のo-o線に沿う断面図である。

【図33】従来の半導体装置の製造方法の第1工程を示す図30のn-n線に沿う断面図である。

【図34】従来の半導体装置の製造方法の第2工程を示す図30のn-n線に沿う断面図である。

【図35】従来の半導体装置の製造方法の第3工程を示す図30のn-n線に沿う断面図である。

【図36】従来の半導体装置の製造方法の第4工程を示す図30のn-n線に沿う断面図である。

【図37】従来の半導体装置の製造方法の第5工程を示す図30のn-n線に沿う断面図である。

【図38】従来の半導体装置の製造方法の第6工程を示す図30のn-n線に沿う断面図である。

【図39】従来の半導体装置の製造方法の第7工程を示す図30のn-n線に沿う断面図である。

【図40】従来の半導体装置の製造方法の第8工程を示す図30のn-n線に沿う断面図である。

【図41】従来の半導体装置の製造方法の第1工程を示す図30のo-o線に沿う断面図である。

【図42】従来の半導体装置の製造方法の第2工程を示す図30のo-o線に沿う断面図である。

【図43】従来の半導体装置の製造方法の第3工程を示す図30のo-o線に沿う断面図である。

【図44】従来の半導体装置の製造方法の第4工程を示す図30のo-o線に沿う断面図である。

【図45】従来の半導体装置の製造方法の第5工程を示す図30のo-o線に沿う断面図である。

【図46】従来の半導体装置の製造方法の第6工程を示す図30のo-o線に沿う断面図である。

【図47】従来の半導体装置の製造方法の第7工程を示す図30のo-o線に沿う断面図である。

【図48】従来の半導体装置の製造方法の第8工程を示す図30のo-o線に沿う断面図である。

【図49】径の異なる複数のコンタクトホールにタンクステンプラグを形成する工程を示す断面図である。

【図50】基板表面に荒れを生じない場合の凹型(a)および凸型(b)のアライメントマークの断面およびアライメント波形を示す図である。

【図51】基板表面に荒れを生じている場合の凹型(a)および凸型(b)のアライメントマークの断面およびアライメント波形を示す図である。

【図52】図29のB部に対応する拡大平面図である。

【図53】図52のp-p線に沿う断面図である。

【図54】図52のq-q線に沿う断面図である。

【図55】図52のk-k線に沿ったダイシング時の様

子を示す断面図である。

【図56】先行技術に開示された半導体装置の概略構成を示す断面図である。

【図57】先行技術に開示された半導体装置の切断時の様子を示す断面図である。

【図58】先行技術に開示された半導体装置の切断後の様子を示す斜視図である。

#### 【符号の説明】

1a タングステンストリート

1b タングステンプラグ

2 半導体基板

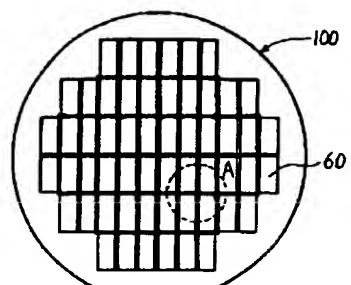
6 不純物拡散領域

7 絶縁層

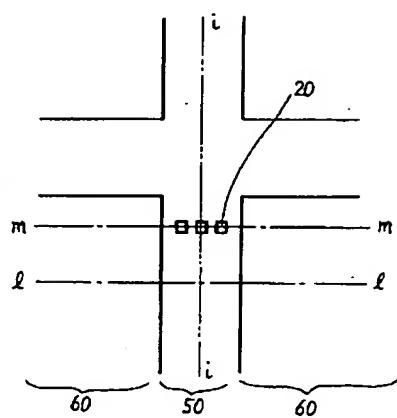
50 ダイシングライン部

60 素子形成領域

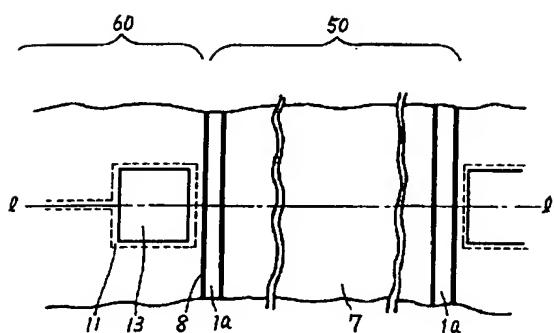
【図1】



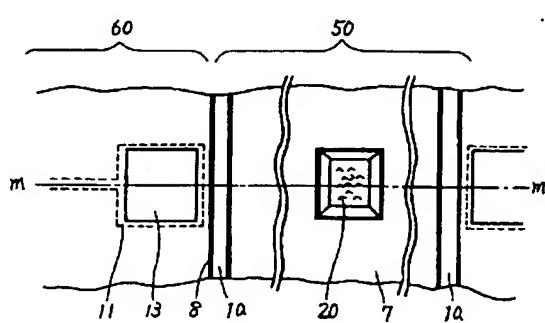
【図2】



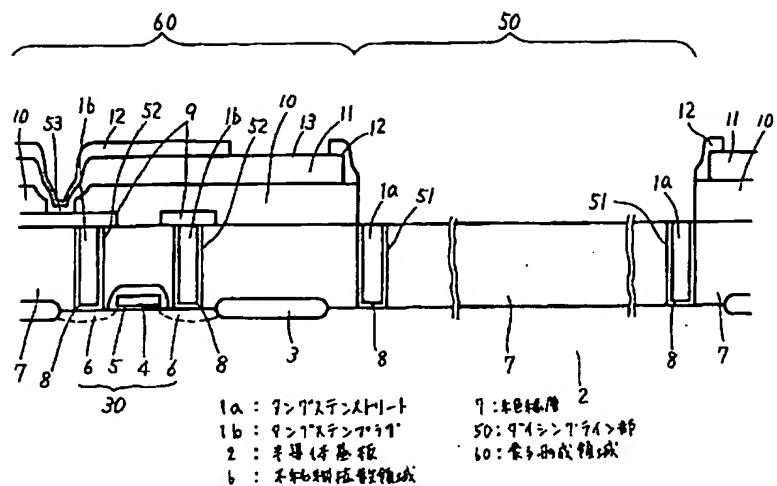
【図3】



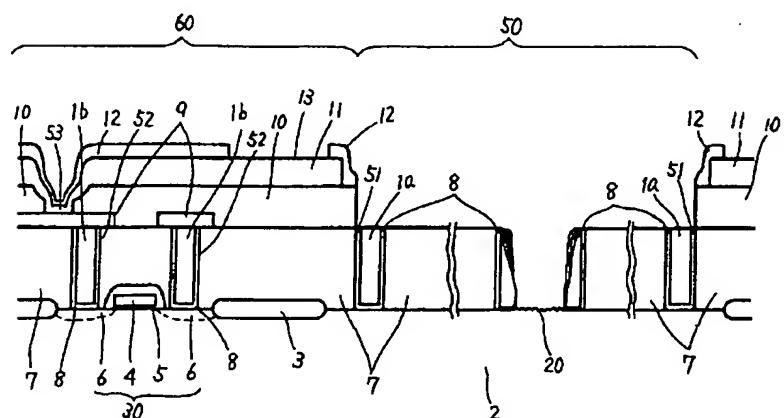
【図4】



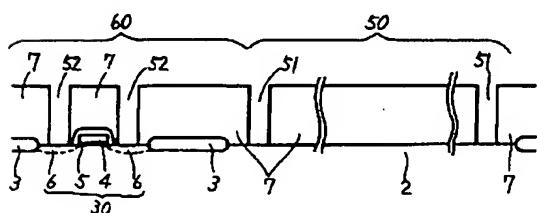
[图5]



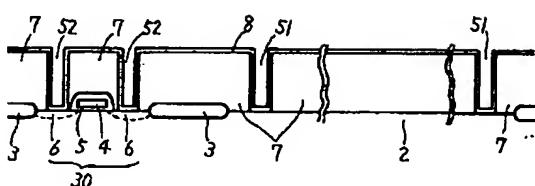
〔図6〕



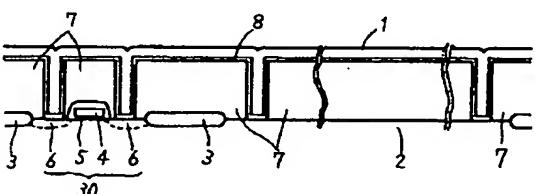
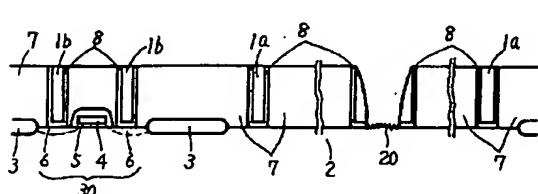
【図7】



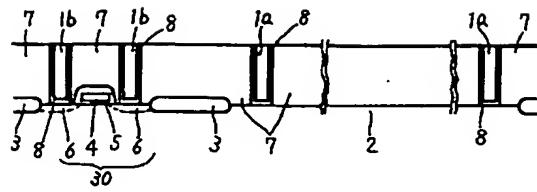
[図 18]



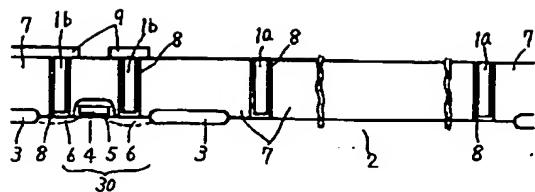
[図9]



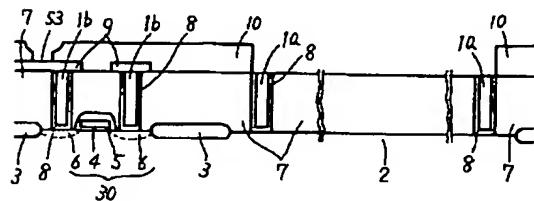
【図 1 0】



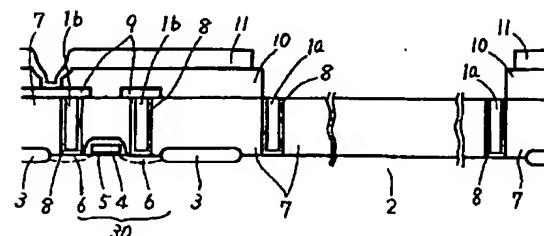
【図 1 1】



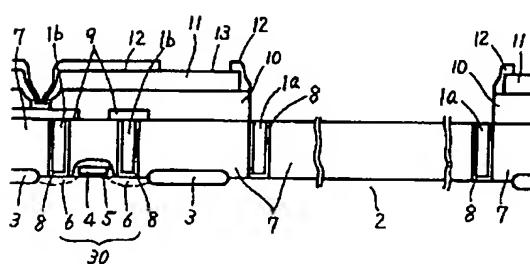
【図 1 2】



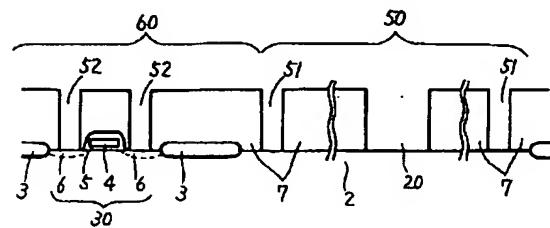
【図 1 3】



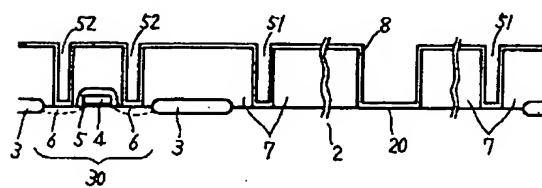
【図 1 4】



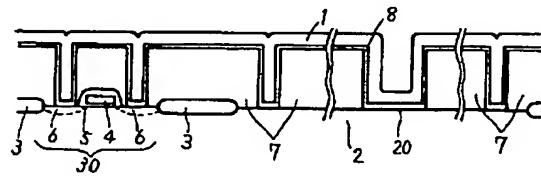
【図 1 5】



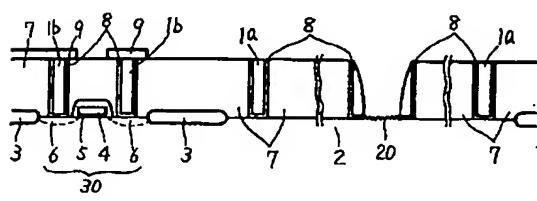
【図 1 6】



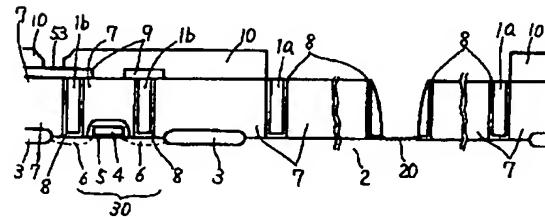
【図 1 7】



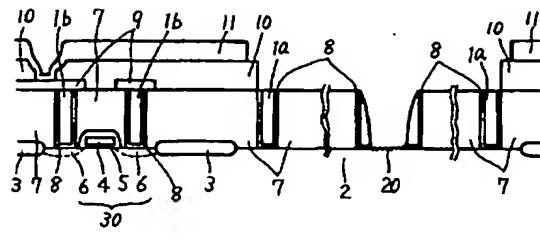
【図 1 9】



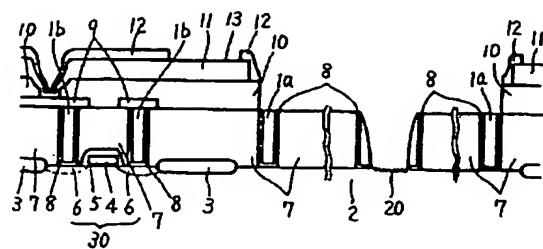
【図 2 0】



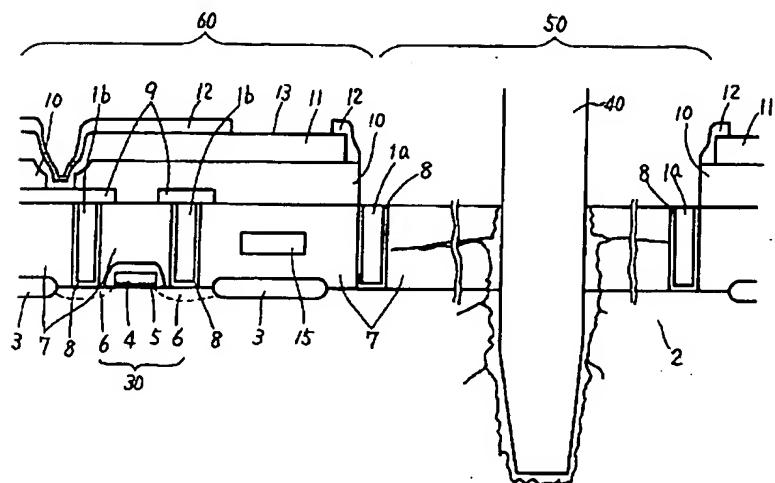
【図21】



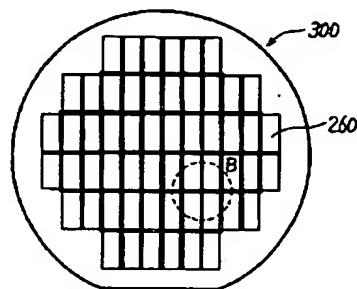
【図22】



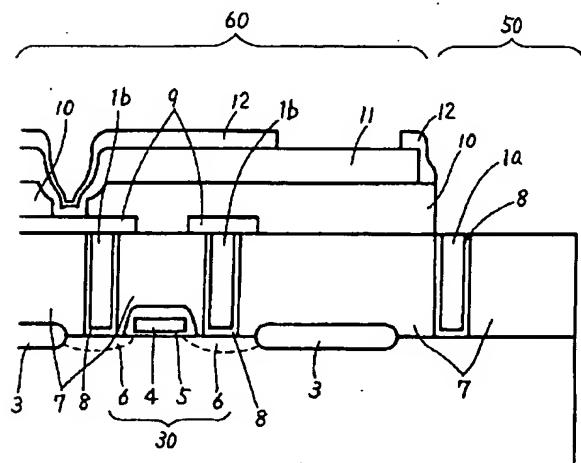
【図23】



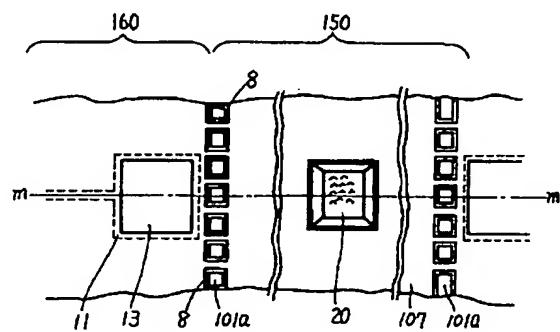
【図29】



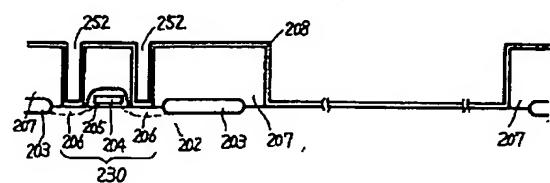
【図24】



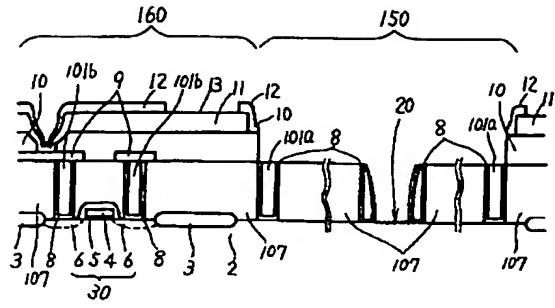
【図25】



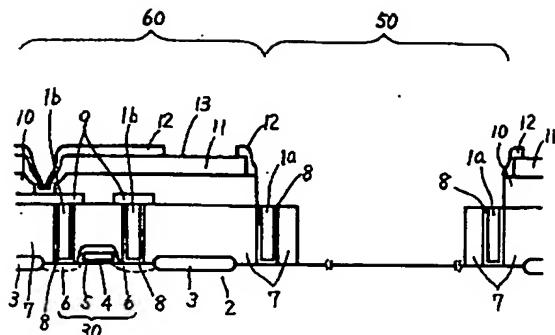
【図34】



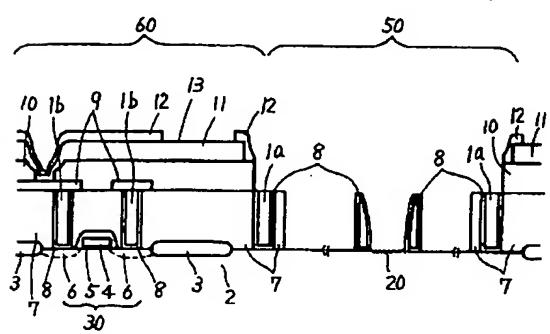
【図26】



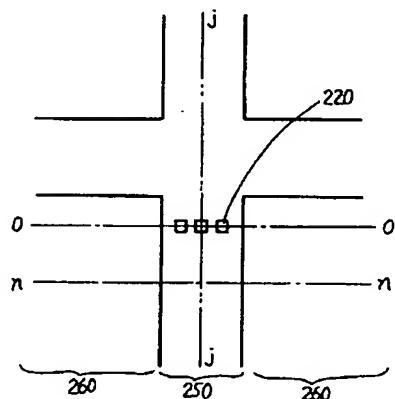
【図27】



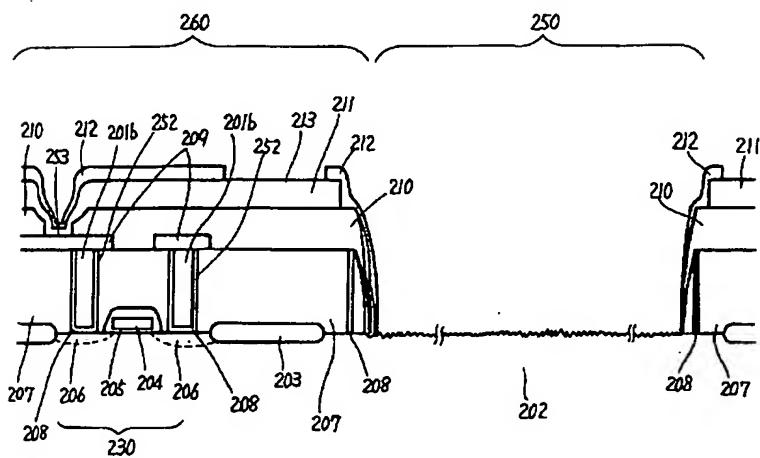
[图28]



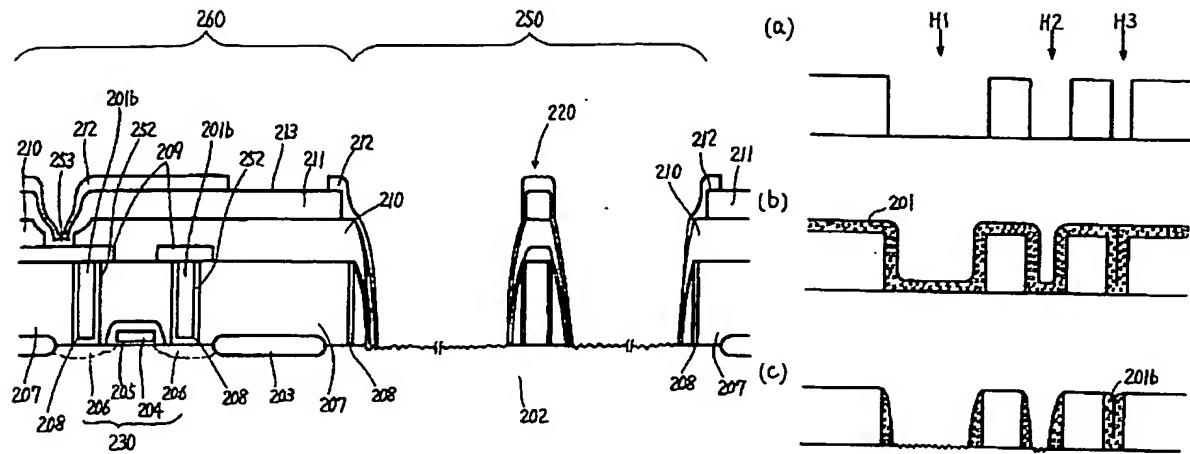
【図30】



【图31】

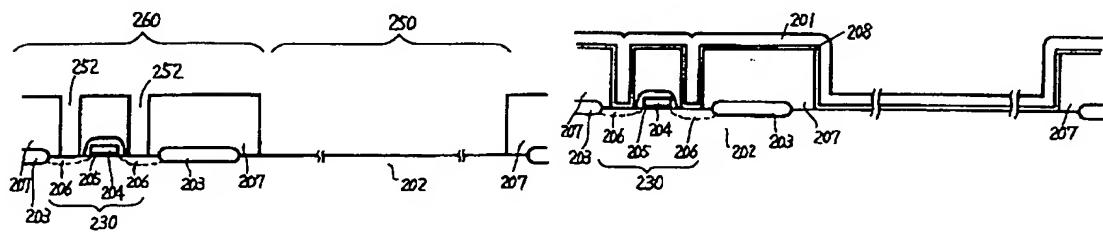


[图32]



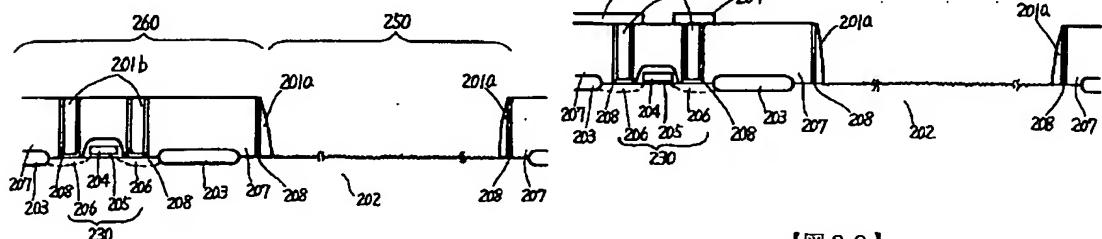
[図49]

【図33】



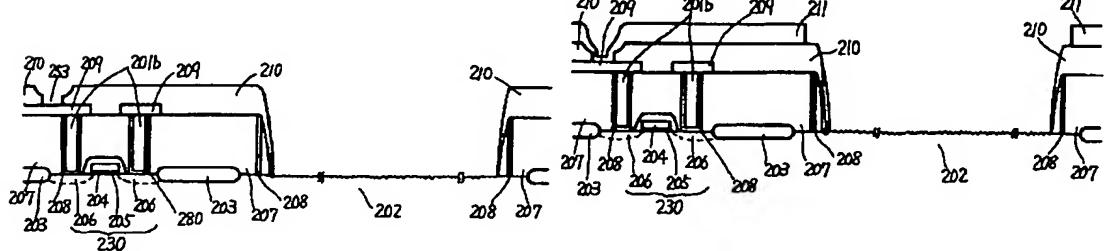
【図35】

【图36】

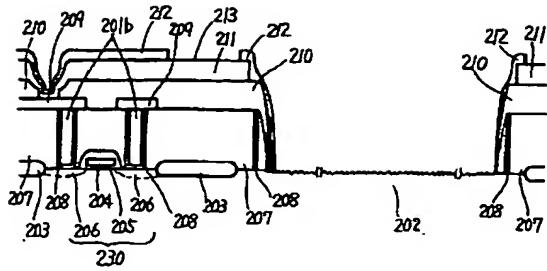


[図39]

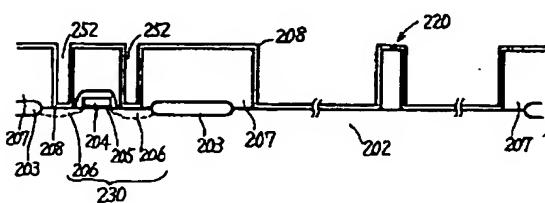
【図38】



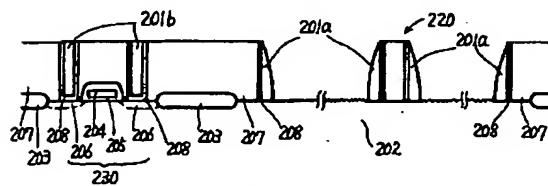
【図40】



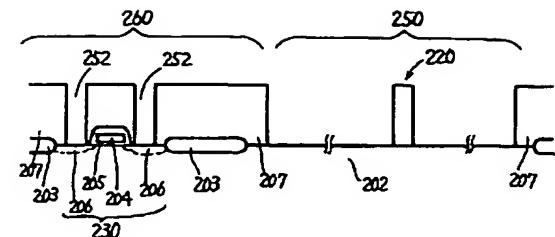
【図42】



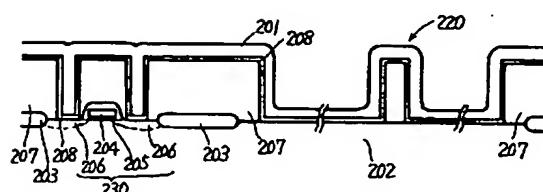
【図44】



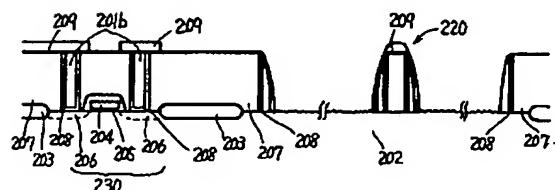
【図46】



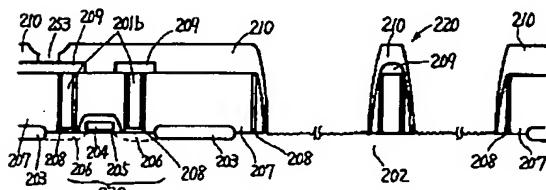
【図43】



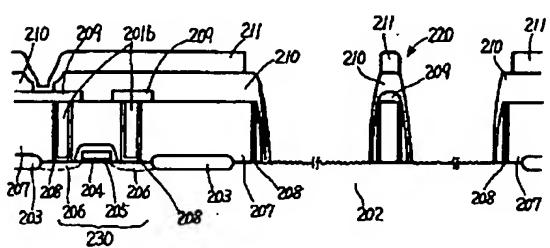
【図45】



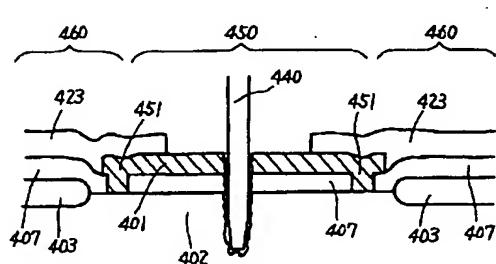
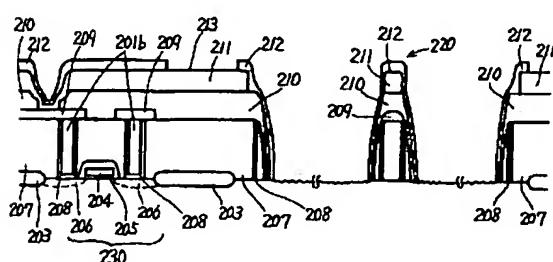
【図47】



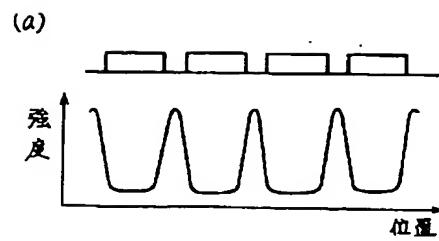
【図48】



【図57】



【四】



[图 51]

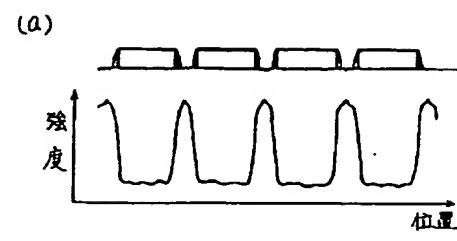
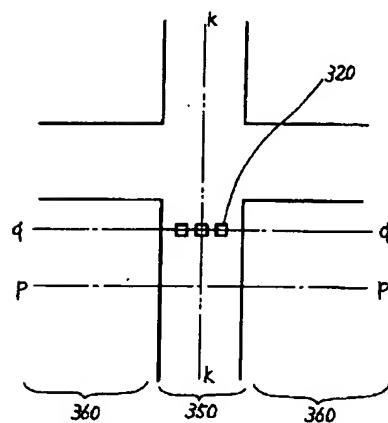
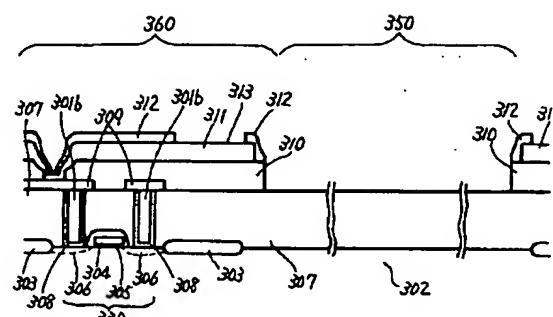


Figure 1(b) shows a periodic square wave signal at the top and its corresponding intensity profile at the bottom. The y-axis is labeled "强度" (Intensity) and the x-axis is labeled "位置" (Position).

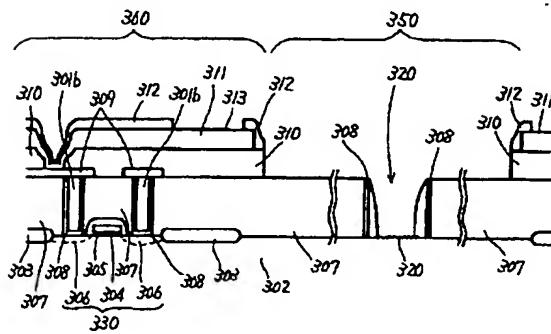
〔図52〕



[図 5 3]

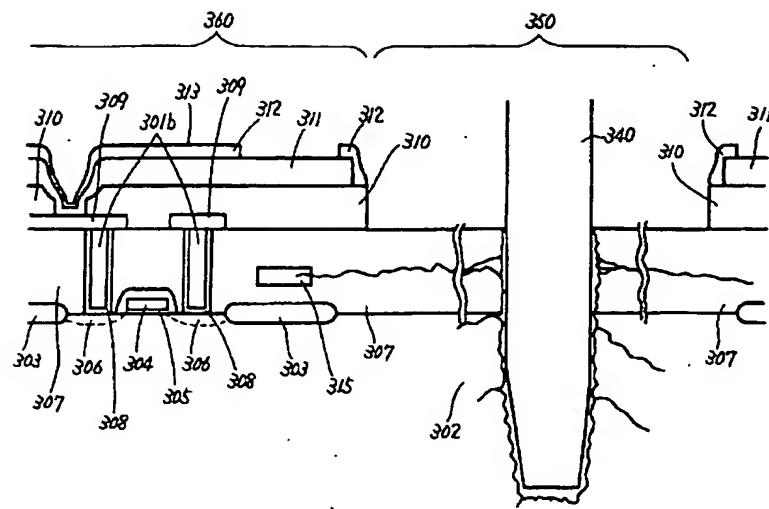


[図54]



A cross-sectional diagram showing a layered composite structure. The top layer is labeled 460. Below it is a wavy layer labeled 423. A central section contains a hatched layer labeled 401, flanked by two solid layers labeled 451. At the bottom, there are three solid layers labeled 403, 407, and 402 from left to right. The bottom-most layer 403 is also labeled 401 at its right end.

【図55】



【図58】

